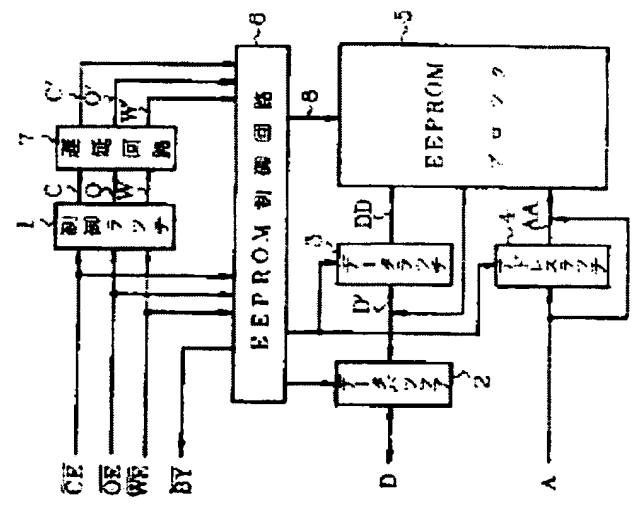


**NONVOLATILE MEMORY DEVICE**

**Patent number:** JP61245255  
**Publication date:** 1986-10-31  
**Inventor:** SAWASE TERUMI; NAKAMURA HIDEO  
**Applicant:** HITACHI LTD  
**Classification:**  
**- International:** G06F9/38; G06F12/00; G06F12/02; G11C7/00; G11C17/00  
**- european:**  
**Application number:** JP19850086797 19850423  
**Priority number(s):** JP19850086797 19850423

**Abstract of JP61245255**

**PURPOSE:** To facilitate an interface with a microcomputer for pipeline control by connecting a delay means which delays only the control signal for erasion and writing to a temporary latch means which latches temporarily the control signal supplied to a control means. **CONSTITUTION:** The control signals are supplied to an EEPROM control circuit 6 as well as a control latch 1. The output of the circuit 1 is supplied to the circuit 6 via a delay circuit 7. The data are given to a data latch 3 via a tri-state data buffer 2 which is controlled by the control signal given from the circuit 6. The circuit 7 keeps the delay time which can perform the normal reading operation between the latch timing of the signal needed for writing and the writing start timing. Thus the reading processing is possible immediately after the writing signal.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

## ⑫ 公開特許公報(A)

昭61-245255

⑤ Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	④ 公開 昭和61年(1986)10月31日
G 06 F 12/00		D-6711-5B	
9/38		7361-5B	
12/02		A-6711-5B	
G 11 C 7/00		6549-5B	
17/00	1 0 1	6549-5B	審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 不揮発性メモリ装置

⑭ 特 願 昭60-86797

⑮ 出 願 昭60(1985)4月23日

⑯ 発 明 者 沢 瀬 照 美 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑰ 発 明 者 中 村 英 夫 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑲ 代 理 人 弁理士 磯村 雅俊

## 明 細 書

1. 発明の名称 不揮発性メモリ装置

2. 特許請求の範囲

(1) 電氣的に書換え可能な不揮発性メモリ素子群と、該メモリ素子群から指定領域を選択する手段と、選択された領域へデータを入出力する手段と、書込み、読出しを制御する手段と、該制御手段にを入力する制御信号を一時ラッチする手段を有する不揮発性メモリ装置において、上記一時ラッチ手段に接続され、消去、書込みの制御信号のみを遅延させるための遅延手段を設けることを特徴とする不揮発性メモリ装置。

(2) 上記遅延手段は、不揮発性メモリ素子からの読出しが可能な期間だけ遅延させることを特徴とする特許請求の範囲第1項記載の不揮発性メモリ装置。

(3) 上記遅延手段は、他の制御手段および不揮発性メモリ素子とともに半導体基板上に構成され、かつ該不揮発性メモリ素子に書込むためのデータ、

アドレス、および書込み、読出し用制御信号を入力するCPUと同一の半導体基板上に構成されることを特徴とする特許請求の範囲第1項または第2項記載の不揮発性メモリ装置。

3. 発明の詳細な説明

〔発明の利用分野〕

本発明は、不揮発性メモリ装置に関し、特にEEPROM (Electrically Erasable and Programmable Read Only Memory) にプログラムとデータを格納し、パイプライン処理を行う場合に好適な不揮発性メモリ装置に関するものである。

〔発明の背景〕

マイクロコンピュータの分野でも、次の命令を現在実行中の命令サイクルの中で取り込むパイプライン制御が主流となりつつある。パイプライン制御を行っているマイクロコンピュータにおいて、EEPROMを内蔵してプログラムとデータとを同一メモリマトリクス内に格納することにより、効率のよい処理が可能となる。しかし、従来のE

EEPROMでは、書き込みサイクルの直後に読出しを行うことができず、問題がある。

従来のEEPROMへアクセスする場合、読出し時には、制御信号（チップイネーブル $\overline{CE}$ 、アウトプットイネーブル $\overline{OE}$ ）をEEPROMに加えると同時に、アドレスAをEEPROMに加えることにより、指定されたアドレス領域からデータが読出される。また、書き込み時には、制御信号（チップイネーブル $\overline{CE}$ 、ライトイネーブル $\overline{WE}$ ）と、書き込みデータDと、アドレスAとを、一時ラッチ回路に格納した後、指定したアドレスエリアに書き込む。すなわち、従来のEEPROMへの書き込みは、第5図に示すタイミングで、アドレスA、チップイネーブル $\overline{CE}$ 、アウトプットイネーブル $\overline{OE}$ 、データDを与え、ライトイネーブル $\overline{WE}$ の立ち上がり $W_R$ に同期して上記A、 $\overline{CE}$ 、 $\overline{OE}$ 、Dをラッチすることにより、 $t_w$ に期間に書き込みが行われている。このタイミングでは、書き込みサイクルに続いて、直ちに同一半導体集積回路からの読出しをすることは不可能である。そのため、パイ

プライン処理のように、現在の命令の読出し、オペランドの読出しを行い、続いてオペランド演算の結果を書込んだ直後、次の命令の読出しを行う必要がある場合には、2チップのメモリを設けたシステム構成が必要となつている。つまり、2チップのメモリを用いて、一方のメモリが書き込み中には、他方のメモリから読出すようにしている。しかし、これではEEPROMのオンチップ化を行う場合に、小型化が難しくなり、問題である。

なお、パイプライン制御を記載した文献としては、例えば、「68000マイクロコンピュータ」喜田祐三著、P19～P21、を、またEEPROMマイコンを記載した文献としては、「ISSCC '83」Seeq Technologyを、それぞれ参照されたい。

#### 〔発明の目的〕

本発明の目的は、このような問題を解決し、パイプライン制御のマイクロコンピュータとのインタフェースを容易にし、かつ1チップメモリ内に読出し専用プログラム領域と書き換えが必要なデー

タ領域とを共に確保することができる不揮発性メモリ装置を提供することにある。

#### 〔発明の概要〕

上記目的を達成するため、本発明の不揮発性メモリは、電氣的に書き換え可能な不揮発性メモリ素子群と、該メモリ素子群中から指定領域を選択する手段と、選択された領域へデータを入出力する手段と、書き込み、読出しを制御する手段と、該制御手段に入力する制御信号を一時ラッチする手段を有する不揮発性メモリ装置において、上記一時ラッチ手段に接続され、消去、書き込みの制御信号のみを遅延させるための遅延手段を設けることに特徴がある。

#### 〔発明の実施例〕

以下、本発明の実施例を、図面により詳細に説明する。

第1図は、本発明の一実施例を示すEEPROMの構成図である。

第1図において、 $\overline{CE}$ はチップイネーブル信号、 $\overline{OE}$ はアウトプットイネーブル信号、 $\overline{WE}$ はライ

トイネーブル信号、 $\overline{BY}$ はEEPROMへの書き込み中であることを示すビジー信号、Dはデータ信号、Aはアドレスである。制御信号（ $\overline{CE}$ 、 $\overline{OE}$ 、 $\overline{WE}$ ）は、EEPROM制御回路6に入力するとともに、制御ラッチ回路1にも入力する。制御ラッチ回路1の出力C、O、Wは、遅延回路7を介してEEPROM制御回路6に入力される。一方、データDは、制御回路6からの制御信号で制御されるトライステートデータバッファ2を介してデータラッチ3に接続される。また、アドレスAは、アドレスラッチ4を介してEEPROMブロック5に入力する経路と、アドレスラッチ4をバイパスして直接EEPROMブロック5に入力する経路とがある。また、EEPROMブロック5から読出されたデータは、データラッチ3をバイパスして直接データバッファ2に出力される。これらのデータラッチ3とアドレスラッチ4とは、制御回路6の制御出力により制御される。

EEPROM素子とデコーダ等により構成されるEEPROMブロック5は、上記のデータD、

アドレスA、および制御回路6からのタイミング信号8により、読出し、書き込みの各制御が実行される。

本発明においては、書き込みに必要な信号をすべて半導体集積回路内にラッチし、ラッチタイミングと書き込み開始タイミングとの間に通常の読出しが可能な時間(遅延時間)を設けることにより、書き込み信号の直後の読出し処理を可能にしている。すなわち、第1図の遅延回路7を設けることにより、書き込みタイミングを遅らせ、命令の順序は書き込み命令の後に読出し命令が入力されるが、実際の処理は読出しを先に行つた後、書き込みを行うことになる。

第2図は、第1図における書き込みおよび読出し動作のフローチャートである。

第1図と第2図により、動作を述べる。まず、読出し動作は、アドレスAを入力し、 $\overline{CE}=0$ 、 $\overline{OE}=0$ 、 $\overline{WE}=1$ を入力する。なお、このEEPROMの制御回路は、制御信号が0のときオンとなる。読出し動作の場合には、 $\overline{CE}$ 、 $\overline{OE}$ 、 $\overline{W}$

のためのビジー信号 $\overline{BY}$ を出力する。その後、制御ラッチ1の出力C、O、Wを遅延回路7により遅らせ(第2図のステップ22)、その遅延回路7の出力信号C'、O'、W'を制御回路6に入力することにより、書き込み動作を実行する(ステップ23)。上記の遅延回路7の遅延時間を適当な時間に設定することにより、書き込み信号をラッチしたタイミングから書き込みが開始されるまでの時間に、通常の読出し動作が可能になる。しかし、一旦、書き込み動作に入つてしまうと、制御回路6により自動的に書き込みが進行し、読出し動作は禁止される。なお、書き込みに要する時間は、1mS～20mS程度である。

第3図(a)、(b)は、本発明の不揮発性メモリ装置をマイクロコンピュータシステムに応用して例を示すブロック図、および動作フローチャートである。

CPU(Central Processing Unit)10と不揮発性メモリ装置11は、書き込み信号バスWR、読出し信号バスRD、アドレスバスAB、データ

バスDBの各制御信号は直接制御回路6に入力され、制御ラッチ回路1へのラッチ、および遅延回路7の出力C'、O'、W'は、いずれも禁止される。これによつて、第2図の通常読出しが行われ(ステップ24)、EEPROMブロック5から読出されたデータは、データ線D'に出力され、出力側に制御されているトライステートデータバッファ2を介して、データ線に出力される。なお、読出しの場合には、前述のように、アドレス入力はアドレスラッチ4を介さずに、直接EEPROMアドレスAAになり、入力される。

次に、書き込みの場合には、アドレスAおよびデータDを与えると同時に、制御信号は $\overline{CE}=0$ 、 $\overline{OE}=1$ 、 $\overline{WE}=1$ の状態を入力する。 $\overline{WE}=1$ の状態から $\overline{WE}=0$ の状態にした後、さらに $\overline{WE}=0$ の状態から $\overline{WE}=1$ の状態に変化する時点で、上記の $\overline{CE}$ 、 $\overline{OE}$ 、データD、アドレスAを一旦それぞれ制御ラッチ1、データラッチ3、およびアドレスラッチ4にラッチする(第2図のステップ21)。同時に、書き込みモードを外部に知らせ

バスDB、ホールド信号バスHALTにより接続される。なお、不揮発性メモリ装置11のチップイネーブルCEへの入力、アドレスバスABをデコードする回路12を介して与えられる。φはクロック信号であり、CPU10に加えられて、マシクロックとなる。書き込み信号バスWRは、メモリ11でライトイネーブルWEとなり、読出し信号バスRDは、メモリ11でアウトプットイネーブルOEとなり、またアドレスバスABはアドレスAに、データバスDBはデータDに、またホールド信号バスHALTはビジー信号BYに、それぞれ接続される。第3図では、プログラムとデータは、同一の不揮発性メモリ装置11に格納されている。

いま、CPU10がバイブライン制御を行つており、第3図(b)に示すように、CPU10から連続の命令31～34を発行することにより、メモリ11側では41～44の順序で処理を行う。まず、現在の命令の読出し指示を行い(ステップ31)、次にオペランドの読出し指示を行い(ステ

ツブ32)、次に上記オペランド演算の結果の書き込みを指示する(ステップ33)、続いて、次の命令の読出しを指示する(ステップ34)。これらの指示を受けたメモリ11では、先ず現在の命令の読出し動作を行い(ステップ41)、続いてオペランドの読出しを行う(ステップ42)。書き込み指示を受け取つても、メモリ11では前述のように、遅延回路により制御信号を遅らせるため、その後から受け取つた次の命令の読出し動作を先に行う(ステップ43)。そして、遅延時間経過後に、演算結果の書き込み動作を行う(ステップ44)。

第4図は、第3図の動作タイミングチャートである。

CPU10の動作タイミングは、第4図のφで示すクロックに同期している。1マシンサイクルは、C1~C4の4サイクルで構成され、本実施例ではC1、C2、C4を読出しサイクル、C3を書込みサイクルとして説明する。すなわち、パイプライン制御の場合、現在の命令の読出し、オペランドの読出し、演算結果の書き込み、および次

の命令の読出しの順序でアクセスが行われる。また、ウェイトサイクルCWは、第3図において、ホールド信号 $\overline{H A L T}$ が受け付けられた場合、つまり書き込み状態を知らせる信号 $\overline{B Y}$ が出力されるときに、マシンサイクルの終了後、つまりC4を実行した後、ウェイト状態になる。アドレスバスAのa0は、前の動作のアドレスである。CPU10からa1、a2のアドレスをアドレスバスAに送出することにより、メモリ11にはラッチ信号Lの制御によりメモリアドレスAAとして受け取られる。これにより、メモリ11から読出されたデータd1、d2がデータバスDBに出力される。書き込みサイクルC3での書き込み信号 $\overline{W R}$ の立上り(w)で、アドレスa3、データd3およびRD、WRの信号がメモリ11の各ラッチ回路にラッチされる。すなわち、上記のラッチ信号は、(w)の時点に変化する。また、(w)のタイミングで、書き込み信号の受け付け状態を表わすビジー $\overline{B Y}$ が出力される。第4図において、AAは、EEPROMブロック5に与えられるアドレスを示し、

t<sub>D</sub>は遅延回路7で与えられる遅延時間、t<sub>w</sub>は制御回路6で与えられる書き込み時間を、それぞれ示している。

書き込みサイクルC3で、書き込みに必要な情報がメモリ11内のラッチ回路にラッチされた後、

t<sub>D</sub>の期間に、通常の実行を行うことができるので、CPU10はこの間にC4サイクルで読出しの指示を行う。すなわち、アドレスバスABに読出しアドレスa4を送出し、読出し信号バス $\overline{R D}$ に読出し信号を送った後、ウェイトサイクルCWに入る。ここでは、ウェイトサイクル時のアドレスは、a1'である。なお、この時間には、ビジー $\overline{B Y}$ が出力しているが、制御回路から書き込み用制御出力が入力していないため、読出しが可能である。メモリ11側では、メモリアドレスAAとしてa4を受け取り、制御信号として読出し信号 $\overline{R D}$ を受けることにより、EEPROMブロック5からデータd4を読出し、データバスDBに出力する。そして、遅延時間の経過後、メモリアドレスAAとしてa3および制御信号が与えら

れることにより、データd3の書き込みが行われる。なお、第4図において、C1'は、次の読出しサイクルであつて、メモリ11からデータd1'が読出される。すなわち、CPU10のウェイトの解除は、ホールド信号 $\overline{H A L T}$ (ビジー $\overline{B Y}$ と同期)が解除された次のサイクルから通常のCPUサイクルとなる。

#### 〔発明の効果〕

以上説明したように、本発明によれば、書き込みサイクルの直後に読出しサイクルがあるようなタイミングを持つシステム(例えば、パイプライン制御のシステム)であっても、1チップでプログラムの記憶と、書き換えが必要なデータの記憶とを共に行うことができるので、電気的に書き換え可能な不揮発性メモリ装置とCPUとをオンチップに実装することが可能となり、経済的なシステムが実現できる。

#### 4. 図面の簡単な説明

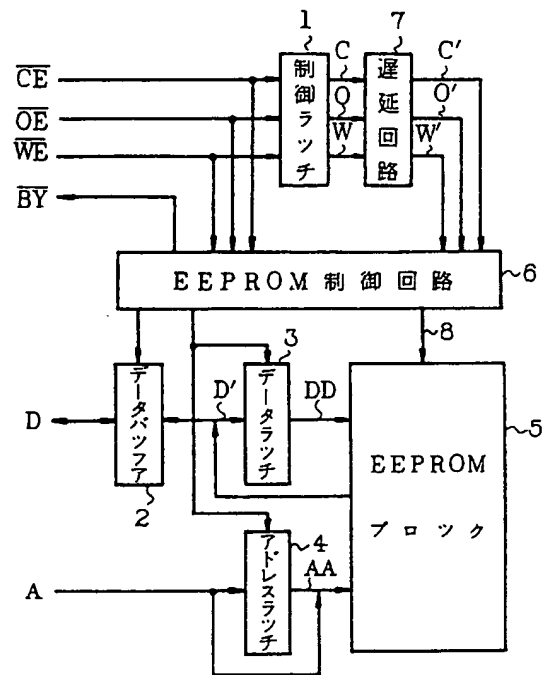
第1図は本発明の一実施例を示す不揮発性メモリ装置のブロック図、第2図は第1図の動作フロ

ーチャート、第3図は本発明の不揮発性メモリ装置とCPUを1チップ上に実装した場合の構成図と動作フローチャート、第4図は第3図の動作タイムチャート、第5図は従来の不揮発性メモリ装置の動作タイムチャートである。

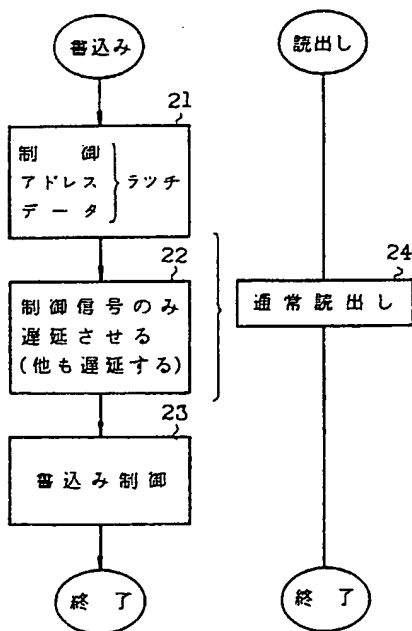
1: 制御信号ラッチ回路、2: データバッファ、3: データラッチ回路、4: アドレスラッチ回路、5: EEPROMブロック、6: 制御回路、7: 遅延回路、10: CPU、11: 不揮発性メモリ装置。

特許出願人 株式会社日立製作所  
代理人 井理士 磯村 雅

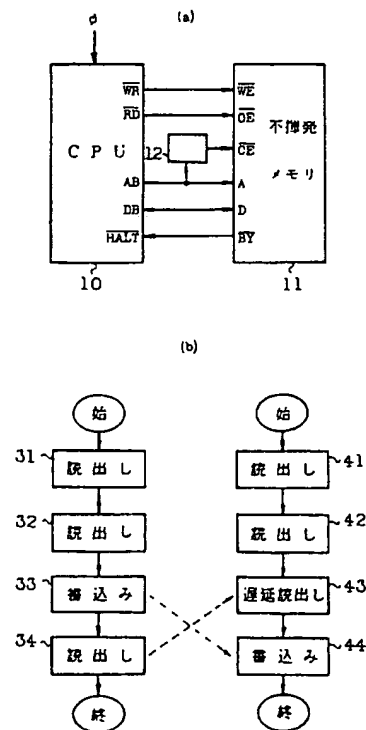
第 1 図



第 2 図



第 3 図



第 5 図

第 4 図

